

PAT-NO: JP02002093675A
DOCUMENT-IDENTIFIER: JP 2002093675 A
TITLE: METHOD FOR PRODUCING SEMICONDUCTOR DEVICE
COMPRISING A PLURALITY OF CHIPS

PUBN-DATE: March 29, 2002

INVENTOR-INFORMATION:

NAME	COUNTRY
MASUI, KENJI	N/A
YAMAMOTO, YASUHIRO	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SHARP CORP	N/A

APPL-NO: JP2000278464

APPL-DATE: September 13, 2000

INT-CL (IPC): H01L021/02 , H01L021/50

ABSTRACT:

PROBLEM TO BE SOLVED: To satisfy the characteristics required for a semiconductor device without lowering the yield of each of a plurality of chips constituting the semiconductor device.

SOLUTION: A decision is made, in units of wafer lot, whether the characteristic value of a chip obtained through wafer test falls within a reference level or not. When the characteristic value of chip does not fall within the reference level, an assembly is pended and when the number of pending lots reaches a preset value, characteristic data of the pending lot is transmitted to the semiconductor chip manufacturing process of other chip constituting a device in order to alter the manufacturing conditions and the pending lot is assembled in combination with a lot subjected to alteration of manufacturing conditions Furthermore, the semiconductor chip manufacturing process, a wafer test process and a device manufacturing process for assembling are connected on a computer network and information related to

production, e.g. wafer test information and manufacturing conditions is transmitted/received between respective processes.

COPYRIGHT: (C)2002,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-93675
(P2002-93675A)

(43) 公開日 平成14年3月29日 (2002.3.29)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
H 0 1 L 21/02		H 0 1 L 21/02	Z
21/50		21/50	Z

審査請求 有 請求項の数 8 O L (全 12 頁)

(21) 出願番号 特願2000-278464 (P2000-278464)

(22) 出願日 平成12年9月13日 (2000.9.13)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 増井 謙次

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72) 発明者 山本 泰裕

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(74) 代理人 100075502

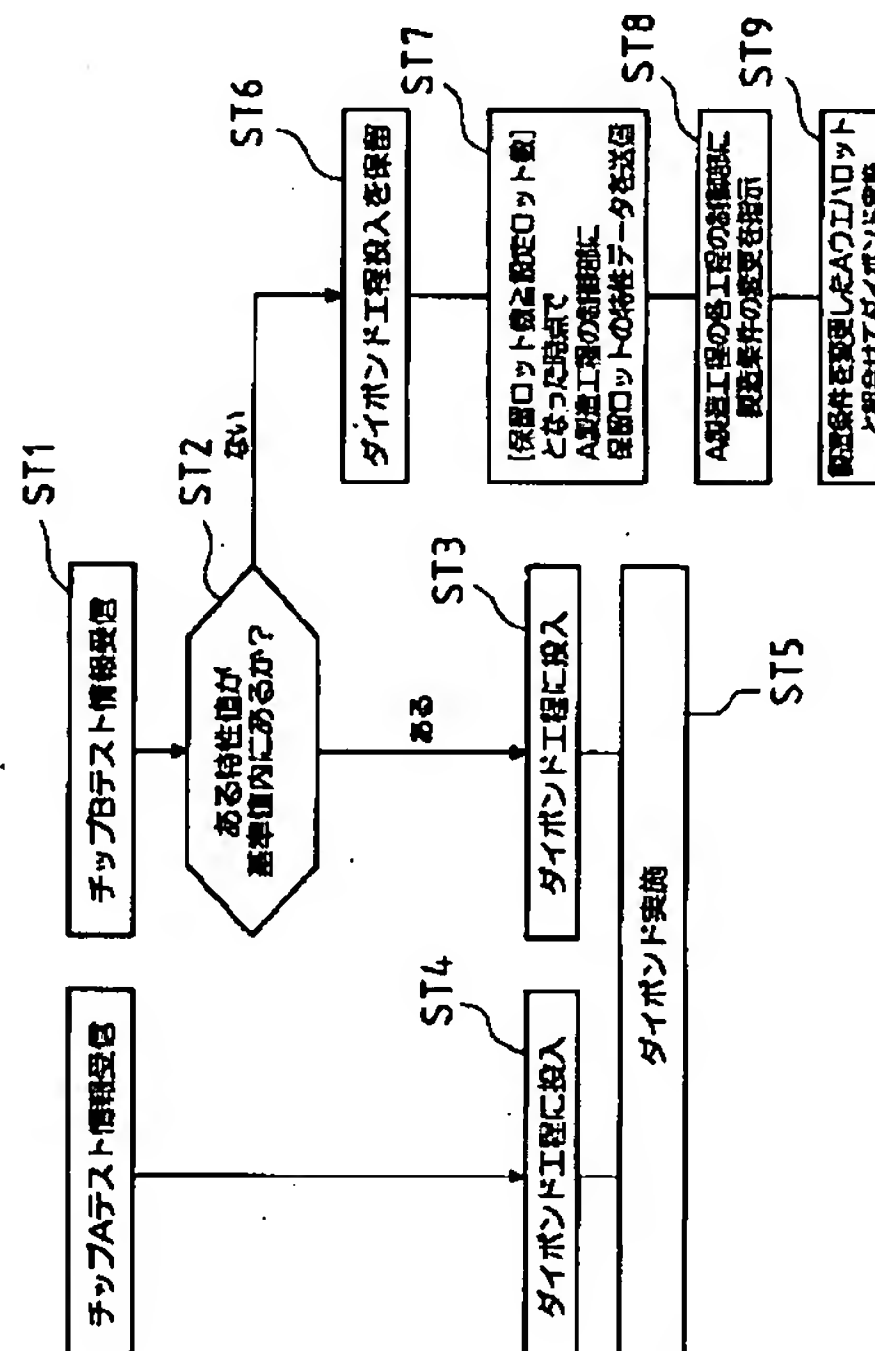
弁理士 倉内 義朗

(54) 【発明の名称】 複数チップからなる半導体装置の生産方法

(57) 【要約】

【課題】半導体装置を構成する複数チップの各々の歩留りを低下させることなく、半導体装置に要求される特性を満足できるようにする。

【解決手段】ウエハテストによるチップ特性値が基準値内に入っているか否かをウエハロット単位等で判定し、チップ特性値が基準値内に入っていない場合にはアセンブリを保留し、その保留ロット数が予め設定した数量以上となったときに、保留ロットの特性データをデバイス構成する他のチップの半導体チップ製造工程に送信して製造条件を変更し、その条件変更後のロットと保留ロットとを組み合わせアセンブリする。また、半導体チップ製造工程と、ウエハテスト工程と、アセンブリを行うデバイス製造工程とを、コンピュータネットワーク上で接続し、ウエハテスト情報及製造条件等の生産関連情報を各工程間において送受信する。



【特許請求の範囲】

【請求項1】 複数チップを1デバイスにアセンブリし、1つの半導体装置として生産する方法において、アセンブリを行う複数チップのうちの特定チップのウエハテスト情報を用いてそのチップ特性値が基準値内に入っているか否かをウエハ単位もしくはウエハロット単位で判定し、

チップ特性値が基準値内に入っている場合はウエハ単位もしくはウエハロット単位でアセンブリを実行し、チップ特性値が基準値内に入っていない場合にはアセンブリを保留し、その保留ウエハ数もしくは保留ロット数が予め設定した数量以上となったときに、保留ウエハもしくは保留ロットの特性データを、特定チップの以外の半導体チップ製造工程に送信し、その半導体チップ製造工程での製造条件を送信特性データに基づいて変更することを特徴とする複数チップからなる半導体装置の生産方法。

【請求項2】 複数チップを1デバイスにアセンブリし、1つの半導体装置として生産する方法において、アセンブリを行う複数チップの各々のウエハテスト情報を用いて、各チップについて特性値が基準値内に入っているか否かをウエハ単位もしくはウエハロット単位で判定し、

各チップの特性値が基準値内に入っている場合は、それらチップのアセンブリをウエハ単位もしくはウエハロット単位で実行し、

特性値が基準値内に入っていないチップについてはアセンブリを保留し、その保留中の複数種のチップについて特性値をウエハ単位もしくはウエハロット単位で比較し、デバイスとしての特性を満足する組み合わせがあれば、その組み合わせでアセンブリを行うことを特徴とする複数チップからなる半導体装置の生産方法。

【請求項3】 保留中の複数種のチップのうち、デバイスとしての特性を満足する組み合わせがないチップのウエハもしくはウエハロットについてはアセンブリを再保留し、その保留ウエハ数もしくはロット数が予め設定した数量以上となったときに、保留ウエハもしくは保留ロットの特性データを、この再保留対象となったチップ以外の半導体チップ製造工程に送信し、その半導体チップ製造工程での製造条件を送信特性データに基づいて変更することを特徴とする請求項2記載の複数チップからなる半導体装置の生産方法。

【請求項4】 アセンブリする複数チップをそれぞれ個別に製造する複数の半導体チップ製造工程と、各チップのウエハテストを行う複数のウエハテスト工程と、アセンブリを行うデバイス製造工程とを、コンピュータネットワーク上で接続し、前記ウエハテスト情報及びアセンブリ保留に関する情報等の生産関連情報を、各工程間において送受信することを特徴とする請求項1、2または3記載の複数チップからなる半導体装置の生産方法。

【請求項5】 複数チップを1デバイスにアセンブリし、1つの半導体装置として生産する方法において、アセンブリを行う複数チップの各々のウエハテスト情報を用い、それらテスト情報をウエハ上に互に対応する位置関係でマッピングし、そのマッピングテストデータに基づいて、デバイスとしての特性を満足する最適な組み合わせのチップを選び、その組み合わせでアセンブリを行うことを特徴とする複数チップからなる半導体装置の生産方法。

10 【請求項6】 アセンブリを行う複数チップの各々のウエハテスト情報を用い、各チップの特性値をウエハ単位もしくはウエハロット単位で比較し、所定の基準に基づいてウエハもしくはウエハロットの組み合わせを選んだ後に、前記マッピング処理を実行することを特徴とする請求項5記載の複数チップからなる半導体装置の生産方法。

20 【請求項7】 アセンブリする複数チップをそれぞれ個別に製造する複数の半導体チップ製造工程と、各チップのウエハテストを行う複数のウエハテスト工程と、アセンブリを行うデバイス製造工程とを、コンピュータネットワーク上で接続し、前記ウエハテスト情報及びマッピングテストデータ等の生産関連情報を、各工程間において送受信することを特徴とする請求項5または6記載の複数チップからなる半導体装置の生産方法。

30 【請求項8】 アセンブリする複数チップをそれぞれ個別に製造する複数の半導体チップ製造工程と、各チップのウエハテストを行う複数のウエハテスト工程と、アセンブリを行うデバイス製造工程とを、コンピュータネットワークを経由してホストコンピュータに接続し、そのホストコンピュータによって各工程を一括して管理することを特徴とする請求項1、2、3、5または6記載の複数チップからなる半導体装置の生産方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は複数チップからなる半導体装置の生産方法に関する。

【0002】

40 【従来の技術】複数のチップを1つの半導体デバイスにアセンブリする場合、それぞれのチップに製造上のばらつきがあるため、以下に述べるようなことが起こる。

【0003】まず、複数チップからなる半導体装置の1つとして、直流安定化電源装置（低損失レギュレータ）がある。直流安定化電源装置は、図1に示すように、制御用ICチップ2と、負荷電流を流すことのできる出力用トランジスタチップ（PNPトランジスタチップ）3の組み合わせで構成されており、安定化された電圧を出力端子6に出力するデバイスである。

50 【0004】直流安定化電源装置1の付加的な回路として、過電流保護回路4というものが一般的に組み込まれている。この過電流保護回路4により得られる過電流特

性とは、低損失レギュレータの出力電流として異常に高い電流、つまり過電流が流れた場合、その出力電流を減少させる特性であり、安全性の高いデバイスとして極めて重要な特性である。

【0005】この過電流保護回路4の動作原理は、制御用ICチップ2内のNPNトランジスタ5のエミッタからの電流を過電流保護回路4内の検出抵抗でモニターし、その値が設定された値以上になれば、NPNトランジスタ5のベース電流を減少させ、図2に示すように出力電流 I_c を減少させるというものである。

【0006】言い換えれば、出力用トランジスタチップ3のベース電流をモニターしているため、過電流保護回路48内の検出抵抗値の製造上のばらつきや出力用トランジスタチップ3の電流増幅率(hFE)の製造上のばらつきが積算されて、実際に過電流がかかる出力電流値がばらつくことになる。

【0007】例えば、過電流保護回路4内の検出抵抗値が小さい方にばらつき、出力用トランジスタチップ3のhFEが大きい方にばらついた場合、出力電流 I_c の過電流検出ポイントが大きくなる方(図2の②)になり、その逆であれば、小さくなる方(図2の①)になる。

【0008】もう少し、具体的に説明すると、過電流保護回路4では、その回路内部の過電流検出抵抗の両端の電圧が予め設定された電圧値以上になれば、過電流保護が動作し、ポイントP(図1)のベース電流を絞ることになる。

【0009】具体的な数値で説明すると、過電流検出抵抗値の中心値を 30Ω 、出力用トランジスタチップ3のhFEの中心値を140、過電流検出抵抗の両端の予め設定された電圧を0.9Vとすると、製造上のばらつきとして、通常、過電流検出抵抗値は $\pm 20\%$ 程度ばらつき($24\Omega \sim 36\Omega$)、出力用トランジスタチップ3のhFEは80~200程度ばらつく。

【0010】従って、過電流検出抵抗値がMAX. 36Ω になったときには、過電流保護回路4は、NPNトランジスタ5のベース電流が25mAの時に動作する。この制御用ICチップ2と、hFE=80の出力用トランジスタチップ3が組み合わされると、出力電流として2Aで過電流保護がかかることになる。また、逆の場合、過電流検出抵抗値がMIN. 24Ω の制御用ICチップ2と、hFE=200の出力用トランジスタ3とが組合わさった場合は、出力電流が7.5Aにならないと過電流保護がかからない。

【0011】このように、通常のばらつきでランダムに2つのチップを組み合わせると特性的にかなり大きなばらつきになる場合が多い。

【0012】従来は、この過電流検出ポイントのばらつきを抑えるため、それぞれのチップ2、3の該当項目の検査基準(制御用ICであれば過電流保護回路内の検出値の検査基準、出力用トランジスタであればhFEの基

準値)を厳しく設定するか、あるいは、ばらつきを見込んで直流安定化電源装置1の放熱特性を、チップ組み合わせ特性がワーストの場合(図2の②)であっても満足できるように設計している。

【0013】一方、従来の半導体装置の生産システムは、半導体チップ製造工程、半導体チップテスト工程(ウエハテスト工程)、半導体デバイス製造工程などがそれぞれ独立したコンピュータにより制御され、各々の進行状況、テスト歩留り状況及び仕掛在庫状況などが管理されていた。

【0014】また、チップ製造工場とチップテスト工場、チップのアセンブリ工場が違っており、近年では、海外でのアセンブリ工場への展開と、各工場間の物理的距離が離れる傾向がある。

【0015】

【発明が解決しようとする課題】前記したように、複数の半導体チップを1デバイスにアセンブリし、1つの半導体装置として製造する場合、それぞれのチップの製造上の特性ばらつきが積算されて、半導体装置として大きなばらつきとなってしまう。このばらつきを抑えるため、それぞれのチップのテスト基準を厳しいものにする、チップの良品率(歩留り)が下がるという問題が起こる。

【0016】また、半導体装置に要求される特性についても、従来以上に厳しい特性が要求されてきており、これに対応するには、チップのテスト基準をより一層厳しくする必要があり、チップの良品率がさらに低下するという問題が発生する。

【0017】一方、1デバイスにアセンブリする複数チップの各々のテスト基準を比較的広く設定して、1つの半導体装置を製造すると、その積算されたばらつきをもっともよいような半導体装置となるため商品価値がなくなってしまう。

【0018】例えば、図1に示す直流安定化電源装置1の場合、組み合わせ特性がワーストの場合を想定した設計(放熱特性を考慮した設計)により、装置自体の寸法(フレーム寸法等)が大きくなってしまう。

【0019】本発明はそのような実情に鑑みてなされたもので、半導体装置を構成する複数チップの各々の歩留りを低下させることなく、半導体装置に要求される特性を満足することのできる半導体装置の生産方法の提供を目的とする。

【0020】

【課題を解決するための手段】本発明は、複数チップを1デバイスにアセンブリし、1つの半導体装置として生産する方法において、アセンブリを行う複数チップのうちの特定チップのウエハテスト情報を用いてそのチップ特性値が基準値内に入っているか否かをウエハ単位もしくはウエハロット単位で判定し、チップ特性値が基準値内に入っている場合はウエハ単位もしくはウエハロット

単位でアセンブリを実行する。また、チップ特性値が基準値内に入っていない場合にはアセンブリを保留し、その保留ウエハ数もしくは保留ロット数が予め設定した数量以上となったときに、保留ウエハもしくは保留ロットの特性データを、特定チップの以外の半導体チップ製造工程に送信し、その半導体チップ製造工程での製造条件を送信特性データに基づいて変更することによって特徴づけられる。

【0021】この発明によれば、1デバイスを構成するチップ、例えば出力用トランジスタチップのhFE値の広い範囲まで使用することができ、チップを無駄なく使用することができる。また、ダイボン投入保留ロットがあるロット数以上になれば定期的にチップ製造工程にその情報がフィードバックされるので、マッチングの取れないチップを多量に製造することなく、的確なチップの在庫管理が可能になる。

【0022】本発明は、複数チップを1デバイスにアセンブリし、1つの半導体装置として生産する方法において、アセンブリを行う複数チップの各々のウエハテスト情報を用いて、各チップについて特性値が基準値内に入っているか否かをウエハ単位もしくはウエハロット単位で判定し、各チップの特性値が基準値内に入っている場合は、それらチップのアセンブリをウエハ単位もしくはウエハロット単位で実行する。また、特性値が基準値内に入っていないチップについてはアセンブリを保留し、その保留中の複数種のチップについて特性値をウエハ単位もしくはウエハロット単位で比較し、デバイスとしての特性を満足する組み合わせがあれば、その組み合わせでアセンブリを行うことによって特徴づけられる。

【0023】この発明によれば、1デバイスを構成するチップ、例えば制御用ICチップと出力用トランジスタチップの各チップの特性値が基準値に入っていない場合でも、デバイスとしての特性を満足するチップの組み合わせを選択してチップアセンブリを行うので、制御用ICチップの過電流検出抵抗値及び出力用トランジスタチップのhFE値の各特性値を広い範囲まで使用することができる。従ってチップを無駄なく使用することができる。

【0024】この発明において、保留中の複数種のチップのうち、デバイスとしての特性を満足する組み合わせがないチップのウエハもしくはウエハロットについてはアセンブリを再保留し、その保留ウエハ数もしくはロット数が予め設定した数量以上となったときに、保留ウエハもしくは保留ロットの特性データを、この再保留対象となったチップ以外の半導体チップ製造工程に送信し、その半導体チップ製造工程での製造条件を送信特性データに基づいて変更するようにしてもよい。

【0025】このような処理を採用すれば、ダイボン投入保留ロットがあるロット数以上になれば定期的にチップ製造工程にその情報がフィードバックされるので、

マッチングの取れないチップを多量に製造することなく、的確なチップの在庫管理が可能になる。

【0026】以上の各発明において、アセンブリする複数チップをそれぞれ個別に製造する複数の半導体チップ製造工程と、各チップのウエハテストを行う複数のウエハテスト工程と、アセンブリを行うデバイス製造工程とを、インターネット等のコンピュータネットワーク上で接続し、前記ウエハテスト情報及びアセンブリ保留に関する情報等の生産関連情報を、各工程間において送受信するように構成してもよい。

【0027】このようなネットワークシステムを構築しておけば、半導体チップ製造工程、ウエハテスト工程、デバイス製造工程がそれぞれ独立したコンピュータにより制御され、さらに、半導体チップ製造工場、ウエハテスト工場、デバイス製造工場が遠く離れていたとしても、ウエハテスト情報、アセンブリ保留情報及び保留ロットの特性データ等の生産関連情報を各工場間において相互に活用することが可能となり、工程間の距離をつめることができる。

【0028】また、半導体チップ製造工程と、ウエハテスト工程と、デバイス製造工程とを、インターネット等のコンピュータネットワークを経由してホストコンピュータに接続しておけば、ウエハテスト情報、アセンブリ保留情報及び保留ロットの特性データ等の生産関連情報のやりとり、各工程の制御などを一括して管理することが可能なる。また、顧客の注文をインターネットを経由してホストコンピュータで受け、注文通りの特性を有する半導体装置（例えば直流安定化電源装置）を生産できるというシステムを構築することが可能となり、顧客のニーズにあった製品をタイムリに生産することが可能になる。

【0029】本発明は、複数チップを1デバイスにアセンブリし、1つの半導体装置として生産する方法において、アセンブリを行う複数チップの各々のウエハテスト情報を用い、それらテスト情報をウエハ上に互に対応する位置関係でマッピングし、そのマッピングテストデータに基づいて、デバイスとしての特性を満足する最適な組み合わせのチップを選び、その組み合わせでアセンブリを行うことによって特徴づけられる。

【0030】この発明によれば、各チップの製造上の特性のばらつきが大きくても、複数チップを組み合わせた場合のトータルの特性が良くなるようなチップ組み合わせを選んでアセンブリを行うので、各チップの特性ばらつきが積算されて、アセンブリとしての特性が悪くなるという問題を解消することができる。

【0031】この発明において、アセンブリを行う複数チップの各々のウエハテスト情報を用い、各チップの特性値をウエハ単位もしくはウエハロット単位で比較し、所定の基準に基づいてウエハもしくはウエハロットの組み合わせを選んだ後に、前記マッピング処理を実行する

ようにしてもよい。

【0032】この発明において、アセンブリする複数チップをそれぞれ個別に製造する複数の半導体チップ製造工程と、各チップのウエハテストを行う複数のウエハテスト工程と、アセンブリを行うデバイス製造工程とを、コンピュータネットワーク上で接続し、前記ウエハテスト情報及びマッピングテストデータ等の生産関連情報を、各工程間において送受信するように構成してもよい。

【0033】このようなネットワークシステムを構築し、
10 しておけば、半導体チップ製造工程、ウエハテスト工程、デバイス製造工程がそれぞれ独立したコンピュータにより制御され、さらに、半導体チップ製造工場、ウエハテスト工場、デバイス製造工場が遠く離れていたとしても、ウエハテスト情報、マッピングテストデータ及びウエハロットの比較情報等の生産関連情報を各工場間において相互に活用することが可能となり、工程間の距離をつめることができる。

【0034】また、半導体チップ製造工程と、ウエハテスト工程と、デバイス製造工程とを、インターネット等
20 のコンピュータネットワークを経由してホストコンピュータに接続しておけば、ウエハテスト情報、マッピングテストデータ及びウエハロットの比較情報等の生産関連情報のやりとり、各工程の制御などを一括して管理することが可能なる。また、顧客の注文をインターネットを経由してホストコンピュータで受け、注文通りの特性を有する半導体装置（例えば直流安定化電源装置）を生産できるというシステムを構築することが可能となり、顧客のニーズにあった製品をタイムリに生産することが可能になる。

【0035】

【発明の実施の形態】以下、本発明の実施形態を図面に基づいて説明する。

【0036】本実施形態では、出力用トランジスタチップ（PNPトランジスタチップ）と制御用ICチップの2つのチップを組み合わせて直流安定化電源装置（図1参照）を生産する方法に本発明を適用した例を示している。

【0037】まず、直流安定化電源装置を製造する場合の工程を大別すると、図3に示すように、制御用ICチップ製造工程11及び出力用トランジスタチップ製造工程12と、これら製造工程11、12で製造されたウエハの特性テストをそれぞれ個別に行うウエハテスト工程21、22と、デバイス製造工程（直流安定化電源装置製造工程）30に分けられる。これらの工程は1つの工場内に配置されている場合もあるが、遠隔地の工場に分散している場合もある。

【0038】制御用ICチップ製造工程11と出力用トランジスタチップ製造工程12は、それぞれ、各工程を
50 制御する制御部11a、12aと、エピタキシャル工程

11b、12b及びその制御部と、アイソレーション工程11c、12c及びその制御部と、拡散工程及11d、12d及びその制御部と、インターフェース11e、12e等によって構成されている。

【0039】ウエハテスト工程21、22は、それぞれテスト工程21a、22a及びその制御部と、記憶部21b、22bと、インターフェース21c、22c等によって構成されている。

【0040】デバイス製造工程30は、テストされた2つのチップを1つの半導体デバイスにする工程で、チップダイボンド組み合せ制御部30a、トランジスタチップダイボンド工程30b、Icチップダイボンド工程30c、ワイヤーボンド工程30d、モールド工程30e、及びインターフェース部30fなどによって構成されている。

【0041】以上の各製造工程11、12、各ウエハテスト工程21、22、デバイス製造工程30の各インターフェース11e、12e、21c、22c、30fは、インターネット等のコンピュータネットワーク上で
20 接続されており、各工程間において情報の送受信を行うことができる。

【0042】以下に、本実施形態の詳細を説明する。

【0043】まず、直流安定化電源装置の過電流検出電流がばらつく要因は、主に出力用トランジスタチップのhFEである。その理由は、制御用ICチップの過電流保護回路内の検出抵抗（過電流検出抵抗値）の製造上のばらつきは比較的小さくて、例えば26～34Ωの範囲であるのに対し、出力用トランジスタチップのhFE特性の製造上のばらつきは、例えば80～200程度と大きくて、hFE特性のばらつきがデバイス特性に大きく
30 影響することによる。

【0044】そこで、この実施形態では、出力用トランジスタチップのばらつきを考慮して、図4に示す処理にてチップアセンブリを行う。この図4の処理はデバイス製造工程30のチップダイボンド組み合せ制御部30aにて実行する。

【0045】まず、ウエハテスト工程22（Bテスト工程）から、コンピュータネットワークを介して送信されてきた出力用トランジスタチップ（チップB）のウエハテスト情報（チップBテスト情報）を受信し（ST
40 1）、ある特性値が予め設定された基準値内にある否かを判定する（ST2）。

【0046】具体的には、ウエハテスト情報のhFE値が120～160の範囲にあるか否かを判定する。hFE値が基準値内にあれば、出力用トランジスタチップ（チップB）のウエハロットをデバイス製造工程30内のトランジスタチップダイボンド工程30bに投入する（ST3）。その際、比較的ばらつきの小さい制御用ICチップのウエハロットもIcチップダイボンド工程30c
50 に投入し（ST4）、この組合せでダイボンドを実施す

る(ST5)。

【0047】hFE値が基準値内に入っていない場合、そのウエハロットについては、ダイボンド工程への投入を保留する(ST6)。その保留ロット数が予め設定されたロット数以上になった時点で、保留ロットの特性データ(hFE値)を制御用ICチップ製造工程11(A製造工程)に送信する(ST7)。

【0048】特性データを制御用ICチップ製造工程11が受信すると、この製造工程11の制御部11aが、各工程11b, 11c, 11dの制御部に、受信送信データ(hFE値)にマッチングするような製造条件の変更を指示する(ST8)。

【0049】具体的には、保留ロットにhFE値が高いもの、例えば160以上のものがある場合、制御用ICチップ製造工程11の制御部11aは、制御用ICチップの過電流保護回路4(図1)内の検出抵抗の値を大きくする方向の製造条件の変更を必要な工程に対して指示する。

【0050】このようにして製造条件を変更した制御用ICチップのウエハロット(Aウエハロット)とダイボンド工程投入を保留していた出力用トランジスタチップのウエハロットを組み合わせでダイボンドを行う(ST9)。

【0051】この実施形態によれば、出力用トランジスタチップのhFE値の広い範囲まで使用することができ、チップを無駄なく使用することができる。また、ダイボンド投入保留ロットがあるロット数以上になれば定期的にチップ製造工程にその情報がフィードバックされるので、マッチングの取れないチップを多量に製造することなく、的確なチップの在庫管理が可能になる。

【0052】次に、本発明の他の実施形態を説明する。

【0053】この実施形態は、制御用ICチップ及び出力用トランジスタチップの双方のチップにおいて製造上の特性ばらつきが比較的大きな場合の処理の一例である。

【0054】この実施形態では、デバイス製造工程30のチップダイボンド組合せ制御部30aにて図5の処理を実施する。その具体的な処理内容を説明する。

【0055】<制御用ICチップ(チップA)の処理>ウエハテスト工程21(Aテスト工程)から、コンピュータネットワークを介して送信されてきた制御用ICチップのウエハテスト情報(チップAテスト情報)を受信し(STa1)、ある特性値が予め設定された基準値内にあるか否かを判定する(STa2)。

【0056】具体的には、ウエハテスト情報の過電流検出抵抗値が28~32Ωの範囲にあるか否かを判定する。過電流検出抵抗値が基準値内にあれば、制御用ICチップのウエハロットを、デバイス製造工程30内のIcチップダイボンド工程30bに投入する(STa3)。制御用ICチップの過電流検出抵抗値が基準値内

に入っていない場合には、そのウエハロットについては、ダイボンド工程への投入を保留(保留A1)する(STa4)。

【0057】<出力用トランジスタチップ(チップB)の処理>ウエハテスト工程22(Bテスト工程)から、コンピュータネットワークを介して送信されてきた出力用トランジスタチップ(チップB)のウエハテスト情報(チップBテスト情報)を受信し(STb1)、ある特性値が予め設定された基準値内にある否かを判定する(STb2)。

【0058】具体的には、ウエハテスト情報のhFE値が120~160の範囲にあるか否かを判定する。hFE値が基準値内にあれば、出力用トランジスタチップのウエハロットをデバイス製造工程30内のトランジスタチップダイボンド工程30bに投入する(STb3)。出力用トランジスタチップのhFE値が基準値内に入っていない場合、そのウエハロットについては、ダイボンド工程への投入を保留(保留B1)する(STb4)。

【0059】<ダイボンド処理>ステップSTa3の処理にてIcチップダイボンド工程30bに投入されたウエハロットと、ステップSTb3の処理にてトランジスタチップダイボンド工程30bに投入されたウエハロットとの組み合わせでダイボンドを実施する(STc1)。

【0060】<組み合わせ処理>ダイボンド工程投入を保留した制御用ICチップのウエハロット(保留A1)の特性値と、ダイボンド工程投入を保留した出力用トランジスタチップのウエハロット(保留B1)の特性値とを相互に比較して(STa5, STb5)、デバイスとしての特性を満足する組み合わせがあれば、それらウエハロットをダイボンド工程に投入し(STa6, STb6)、その組み合わせでダイボンドを実施する(STc2)。

【0061】<製造条件の変更処理>ステップSTa5, STb5の処理において、デバイスとしての特性を満足する組み合わせがない場合、これら組み合わせ不可のチップのウエハロットについては、ダイボンド工程への投入を再保留(保留A2, 保留B2)する(STa7, STb7)。

【0062】次に、制御用ICチップの保留ロット数(保留A2)が予め設定されたロット数以上になったときには、保留ロットの特性データ(過電流検出抵抗値)を出力用トランジスタチップ製造工程12(B製造工程)に送信する(STa8)。特性データを出力用トランジスタチップ製造工程12が受信すると、この製造工程12の制御部12aが、各工程12b, 12c, 12dの制御部に、受信特性データ(過電流検出抵抗値)にマッチングするような製造条件の指示する(STa9)。具体的には、保留ロットに過電流検出抵抗値が小さいもの、例えば28Ω以下のものがある場合、出力用

11

トランジスタチップ製造工程12の制御部12aは、出力用トランジスタチップのhFE値を小さくする方向の製造条件の変更を必要な工程に対して指示する。

【0063】このようにして、製造条件を変更した出力用トランジスタチップのウエハロットと、ダイボン工程投入を再保留していた制御用ICチップのウエハロット（保留A2）とを組み合わせさせてダイボンを行う（STa10）。

【0064】一方、出力用トランジスタチップの保留ロット数（保留B2）が予め設定されたロット数以上になったときに、保留ロットの特性データ（hFE値）を制御用ICチップ製造工程11（A製造工程）に送信する（STb8）。特性データを制御用ICチップ製造工程11が受信すると、この製造工程11の制御部11aが、各工程11b、11c、11dの制御部に、受信送信データ（hFE値）にマッチングするような製造条件の変更を指示する（STb9）。具体的には、保留ロットにhFE値が高いもの。例えば160以上のものがある場合、制御用ICチップ製造工程11の制御部11aは、過電流保護回路4内（図1）の検出抵抗の値を大きくする方向の製造条件の変更を必要な工程に対して指示する。

【0065】このようにして、製造条件を変更した制御用ICチップのウエハロットと、ダイボン工程投入を再保留していた出力用トランジスタチップのウエハロット（保留B2）とを組み合わせさせてダイボンを行う（STb10）。

【0066】この実施形態によれば、制御用ICチップと出力用トランジスタチップの各チップの特性値が基準値に入っていない場合でも、デバイスとしての特性を満足するチップの組み合わせを選んでチップアセンブリを行うので、制御用ICチップの過電流検出抵抗値及び出力用トランジスタチップのhFE値の各特性値を広い範囲まで使用することができる。従って、チップを無駄なく使用することができる。また、ダイボン投入保留ロットがあるロット数以上になれば定期的にチップ製造工程にその情報がフィードバックされるので、マッチングの取れないチップを多量に製造することなく、的確なチップの在庫管理が可能になる。

【0067】なお、以上の2つの実施形態では、2つのチップを1デバイスに組み合わせる場合について説明したが、3つ以上のチップを組み合わせる場合でも同様の処理を行うことができる。

【0068】例えば、3つのチップを組み合わせる場合、2つのチップA及びチップBを、図4に示すチップAとして処理し、もう1つのチップCを図4に示すチップBとして処理するようにすればよい。この場合、チップCの保留ロットの特性データをチップA及びBの製造工程の制御部に送信してもよいし、そのいずれか一方のチップ製造工程の制御部に送信してもよい。その選択は、

12

チップAまたはBの製造工程のどちらの工程の製造条件を変更した方がチップCの保留ロットとうまくマッチングするかということ判断して決定すればよい。

【0069】次に、本発明の別の実施形態を説明する。

【0070】この実施形態においても、出力用トランジスタチップと制御用ICチップの2つのチップを組み合わせさせて直流安定化電源装置を生産する方法に本発明を適用した例を示している。なお、直流安定化電源装置を生産する工程は、先に示した図3と同じであるので、ここではその説明を省略する。

【0071】この実施形態では、制御用ICチップ及び出力用トランジスタチップの製造上の特性が1枚のウエハ内で比較的大きくばらつく場合の処理に特徴がある。

【0072】具体的には図6に示す処理を、図3のデバイス製造工程30のチップダイボン組合制御部30aにて実行してアセンブリ処理を行う。その処理内容を以下に説明する。

【0073】まず、ウエハテスト工程21（Aテスト工程）から、コンピュータネットワークを介して送信されてきた制御用ICチップ（チップA）のウエハテスト情報（チップAテスト情報）を受信し（STa21）、そのウエハテスト情報を用いて、ウエハ上の各位置と各チップの特性値（過電流検出抵抗値）とを1:1でマッピングして、図7に示すようなマッピングテストデータDAを作成する（STa22）。

【0074】また、ウエハテスト工程22（Bテスト工程）から、コンピュータネットワークを介して送信されてきた出力用トランジスタチップ（チップB）のウエハテスト情報（チップBテスト情報）を受信し（STb21）、そのウエハテスト情報を用いて、ウエハ上の各位置と各チップの特性値（hFE値）とを1:1でマッピングして、図7に示すようなマッピングテストデータDBを作成する（STb22）。

【0075】次に、マッピングテストデータDAとマッピングテストデータDBとを相互に比較して、デバイスとしての特性を満足する最適な組み合わせのチップを選び（STc21）、その組み合わせでダイボンする（STc22）。

【0076】最適な組み合わせでダイボンする方法としては、[制御用ICチップの過電流動作ベース電流] × [出力用トランジスタチップのhFE値] が、3~5Aの組み合わせなるペアを選んで2つのチップをダイボンする等の方法が挙げられる。具体的には、図7の例において、制御用ICチップ：No. 1と出力用トランジスタチップ：No. 21との組み合わせ、制御用ICチップ：No. 1と出力用トランジスタチップ：No. 21との組み合わせ等を選んで、その各ペアをダイボンするという方法を採用する。

【0077】このように、制御用ICチップの過電流検出抵抗値が大の特性と、出力用トランジスタチップのh

FEが大の特性の組み合わせを選ぶか、あるいは制御用ICチップの過電流検出抵抗値が小の特性と、出力用トランジスタチップのhFEが小の特性の組み合わせを選択することにより、2チップを組み合わせた場合のトータルの過電流保護ポイントは互いに打ち消し合い、それぞれのばらつきを抑えることができる。

【0078】ここで、チップの特性は、ウエハロット単位で偏ることが多いため、まずウエハロット単位で組み合わせを設定してから、上記のマッピング方法でダイボンドした方がより効率的である。

【0079】ウエハロット単位で組み合わせを設定する方法としては、次のような組み合わせ方がある。

(1) 制御用ICのウエハロット単位で過電流検出抵抗値の平均値が大きいロットと、出力用トランジスタのウエハロット単位でhFE値の平均値が大きいロットとを組み合わせる。

(2) 制御用ICのウエハロット単位で過電流検出抵抗値の平均値が小さいロットと、出力用トランジスタのウエハロット単位でhFE値の平均値が小さいロットを組み合わせる。

(3) 制御用ICのウエハロット単位で過電流検出抵抗値の平均値が中間値のロットと、出力用トランジスタのウエハロット単位でhFE値の平均値が中間値のロットとを組み合わせる。

【0080】なお、ウエハロット単位ではなく、ウェハ単位での組み合わせを設定し、それぞれの持つデータ量を少なくするような組み合わせ方法を用いてもよい。

【0081】また、図6の実施形態では、2つのチップを1デバイスに組み合わせる場合について説明したが、3つ以上のチップを組み合わせる場合でも同様の処理を行うことができる。

【0082】ここで、以上の各実施形態では、制御用ICチップと出力用トランジスタチップとを組み合わせた直流安定化電源装置について説明したが、複数チップの組み合わせで半導体装置の特性が決まる他の装置として、例えば発光ダイオードと受光素子を組み合わせる1デバイス化させたホトカプラ、発光ダイオードと受光素子を組み合わせる1デバイス化させたホトインタラプタ等がある。

【0083】ホトカプラにおいては、発光ダイオードと受光素子の組み合わせにより、CTRの特性が決まるため、最適なCTRが取れるように組み合わせが選択でき、歩留り等の向上などに大きな効果がある。

【0084】また、ホトインタラプタにおいては、発光ダイオードと受光素子の組み合わせを最適にすることにより、検出感度、外乱ノイズの影響に対して大きな効果がある。

【0085】

【発明の効果】以上説明したように、本発明によれば、ウエハテストによるチップ特性値が基準値内に入ってい

るか否かをウエハロット単位等で判定し、チップ特性値が基準値内に入っていない場合にはアセンブリを保留し、その保留ロット数が予め設定した数量以上となったときに、保留ロットの特性データを、デバイスを構成する他のチップの製造工程に送信して製造条件を変更するか、あるいは特性値が基準値内に入っていないチップについてはアセンブリを保留し、その保留中の複数種のチップについて特性値をウエハ単位もしくはウエハロット単位で比較し、デバイスとしての特性を満足する組み合わせがあれば、その組み合わせでアセンブリを行うようにしているため、1デバイスを構成する各チップの特性値の広い範囲まで使用することができ、チップを無駄なく使用することができる。

【0086】また、本発明によれば、アセンブリを行う複数チップの各々のウエハテスト情報を用い、それらテスト情報をウエハ上に互に対応する位置関係でマッピングし、そのマッピングテストデータに基づいて、デバイスとしての特性を満足する最適な組み合わせのチップを選び、その組み合わせでアセンブリを行うので、各チップの製造上の特性のばらつきが大きくても、複数チップを組み合わせた場合のトータルの特性が良くなるような組み合わせが可能となり、チップを無駄なく使用することができる。

【0087】従って、本発明によれば、半導体装置を構成する複数チップの各々の歩留りを低下させることなく、半導体装置に要求される厳しい特性を満足することが可能になる。

【図面の簡単な説明】

【図1】直流安定化電源装置の一例を示す回路構成図である。

【図2】直流安定化電源装置の出力特性を示すグラフである。

【図3】直流安定化電源装置の生産工程を示すブロック図である。

【図4】本発明の実施形態で実行する処理の内容を示すフローチャートである。

【図5】本発明の他の実施形態で実行する処理の内容を示すフローチャートである。

【図6】本発明の別の実施形態で実行する処理の内容を示すフローチャートである。

【図7】本発明の別の実施形態で実行する組み合わせ処理の説明図である。

【符号の説明】

1 直流安定化電源装置(低損失レギュレータ)

2 制御用ICチップ

3 出力用トランジスタチップ

4 過電流保護回路

5 NPNトランジスタ

11 制御用ICチップ製造工程(A工程)

12 出力用トランジスタチップ製造工程(B工程)

15

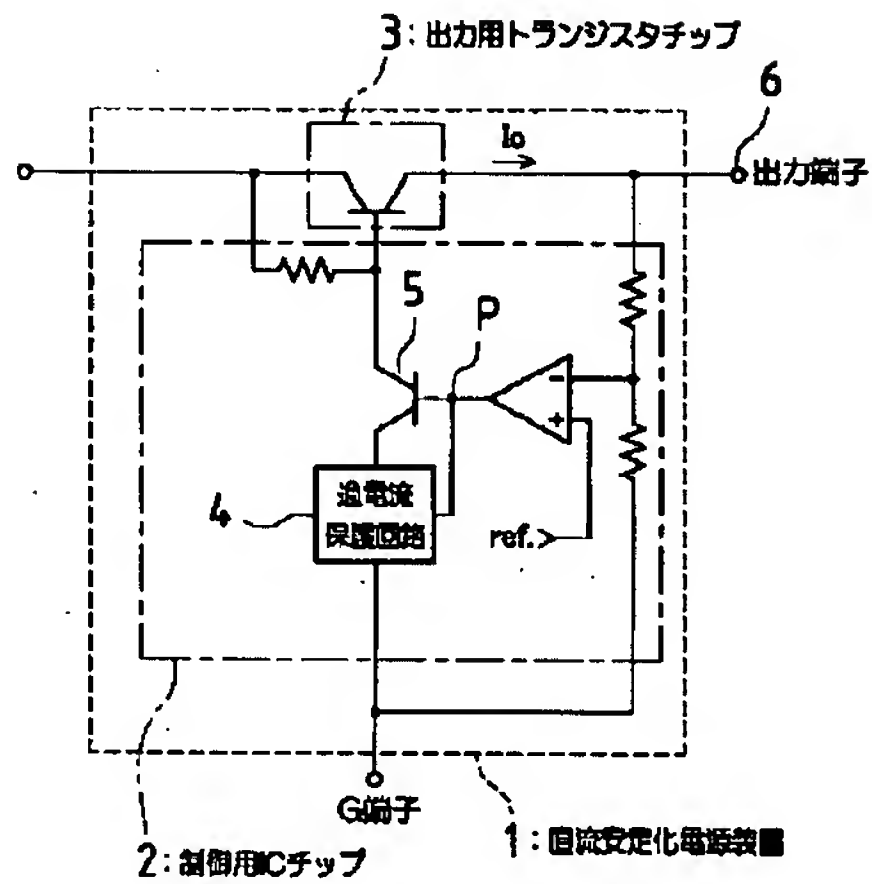
16

21 ウエハテスト工程 (Aテスト工程)

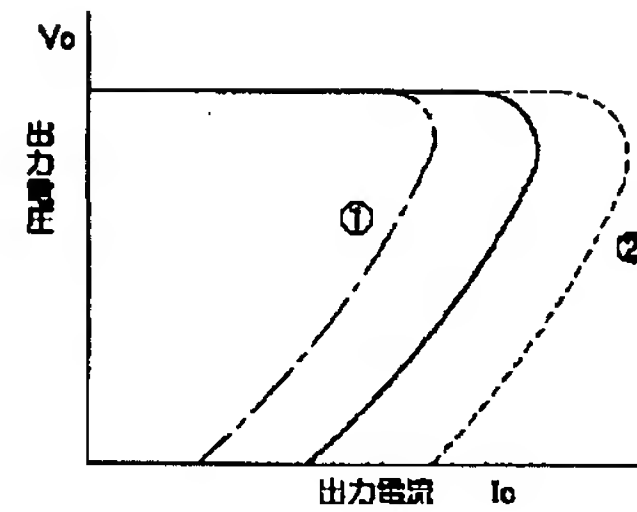
30 デバイス製造工程

22 ウエハテスト工程 (Bテスト工程)

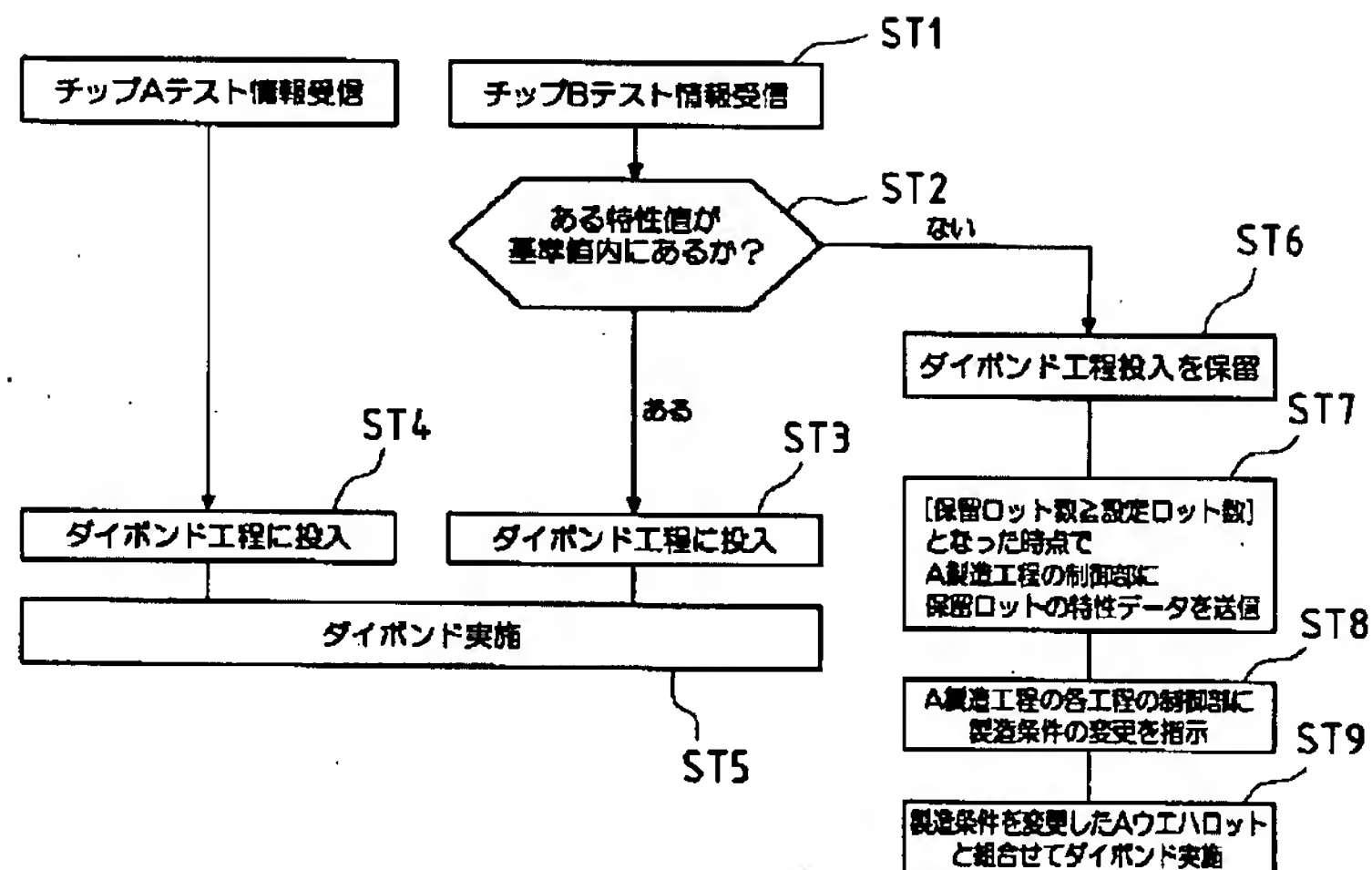
【図1】



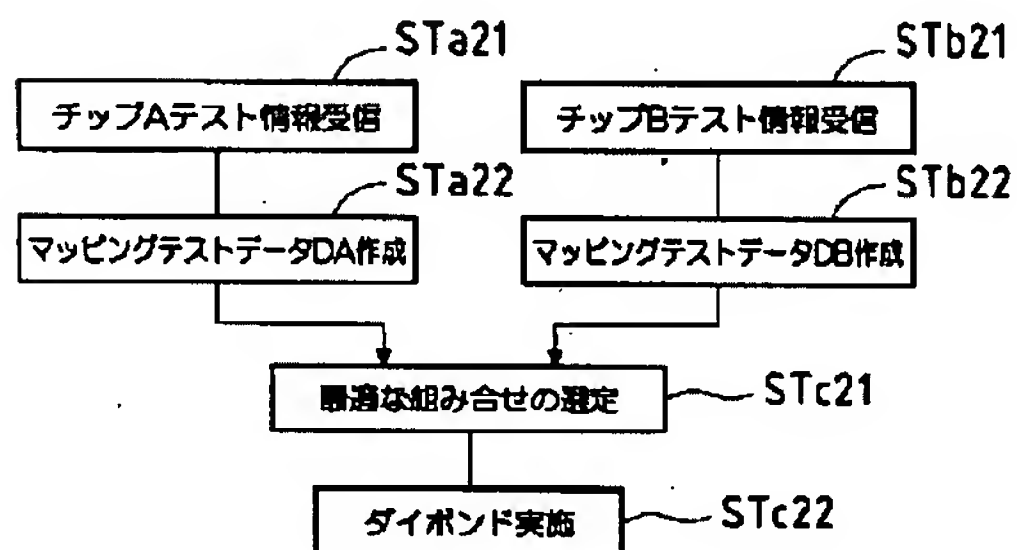
【図2】



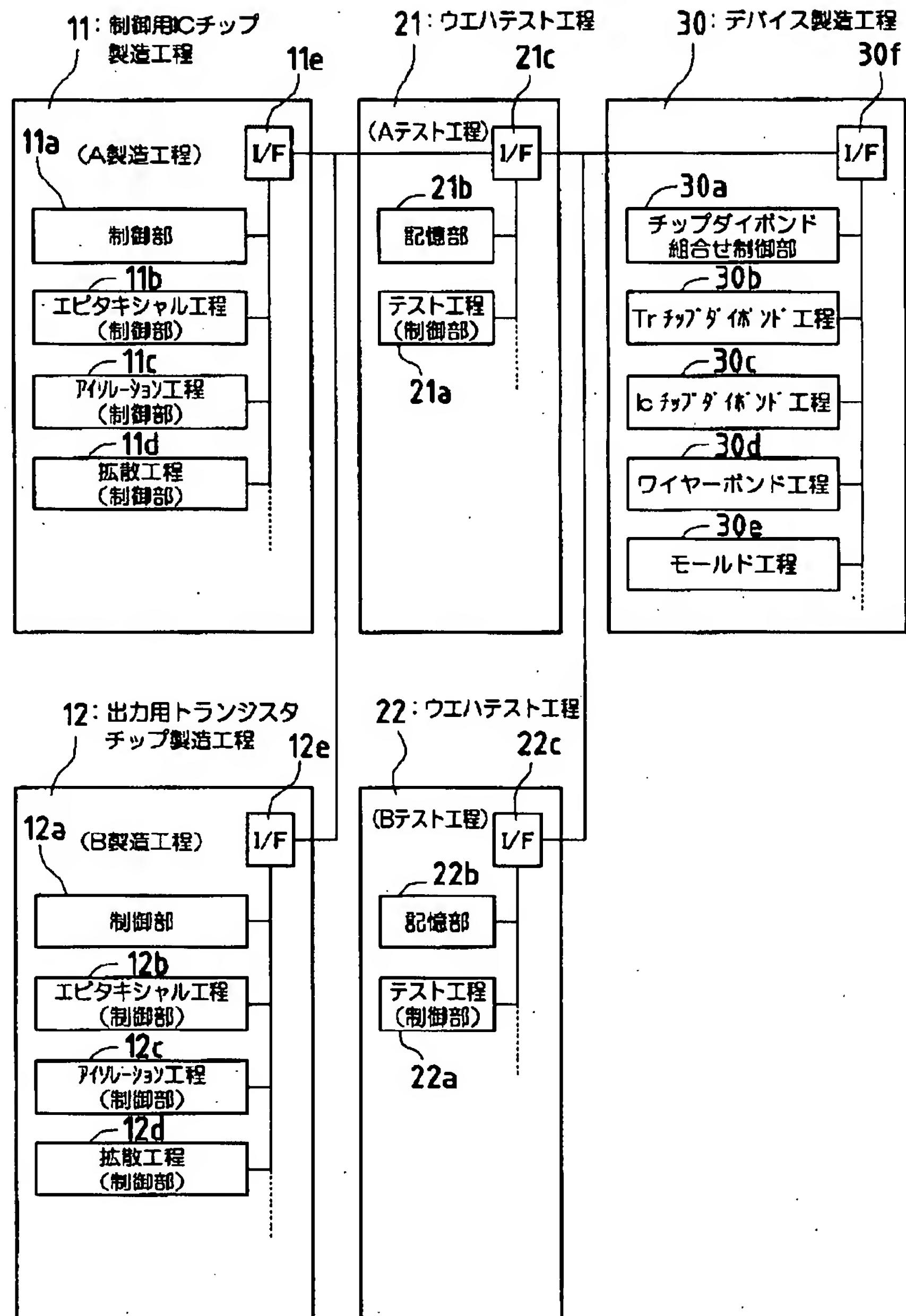
【図4】



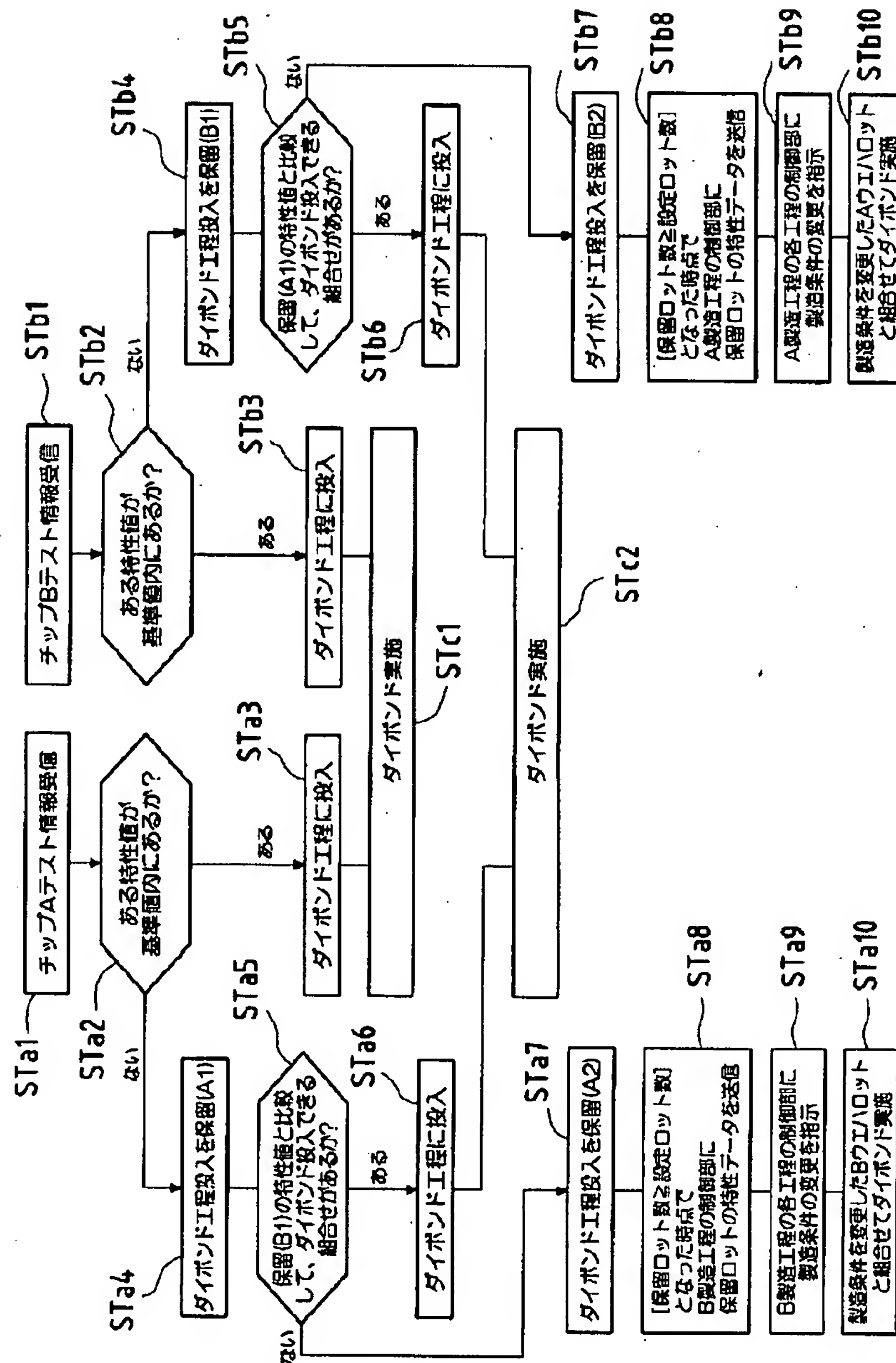
【図6】



【図3】



【図5】



【図7】

